

PCT/KR 03 / 02851
KR 26.12.2003

Rec'd PCT/PTO 14 JUL 2005

10/542378

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

RECD 09 JAN 2004
WIPO PCT

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0002716
Application Number

출원년월일 : 2003년 01월 15일
Date of Application JAN 15, 2003

출원인 : 학교법인 포항공과대학교
Applicant(s) POSTECH FOUNDATION

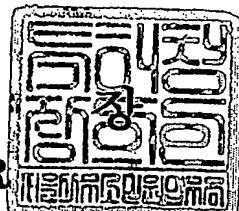
**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003 년 05 월 06 일



특허청
COMMISSIONER



BEST AVAILABLE COPY

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.01.15
【국제특허분류】	H01J
【발명의 명칭】	일체형 3극구조 전계방출디스플레이 및 그 제조 방법
【발명의 영문명칭】	Field emission display having integrated triode structure and method for manufacturing the same
【출원인】	
【명칭】	학교법인 포항공과대학교
【출원인코드】	2-1999-900096-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050323-2
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-006267-7
【발명자】	
【성명의 국문표기】	이건홍
【성명의 영문표기】	LEE,Kun-Hong
【주민등록번호】	561123-1052512
【우편번호】	790-784
【주소】	경상북도 포항시 남구 효자동 포항공과대학교 전자컴퓨터 공학부
【국적】	KR
【발명자】	
【성명의 국문표기】	황선규
【성명의 영문표기】	HWANG,Sun Kyu
【주민등록번호】	771204-1226124
【우편번호】	790-784

【주소】

경상북도 포항시 남구 효자동 포항공과대학교 전자컴퓨터
공학부

【국적】

KR

【발명자】

【성명의 국문표기】

이옥주

【성명의 영문표기】

LEE, Ok Joo

【주민등록번호】

751101-2675613

【우편번호】

790-784

【주소】

경상북도 포항시 남구 효자동 포항공과대학교 전자컴퓨터
공학부

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
이해영 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	6	면	6,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	13	항	525,000	원
【합계】			560,000	원
【감면사유】			학교	
【감면후 수수료】			280,000	원

【기술이전】

【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명에서는, 복잡한 패키징 공정을 거치지 않고 제조될 수 있으며, 더욱 감소된 웨일의 직경과 더욱 감소된 캐소드와 애노드 사이의 간격을 갖는, 일체형 3극 구조 FED를 제공한다. 또한, 본 발명에서는 양극산화법을 포함하는, 일체형 3극구조 FED 제조방법을 제공한다. 본 발명의 일체형 3극구조 FED는 알루미나충을 매개체로 하여 전면패널과 배면패널이 한 몸체를 형성한다.

【대표도】

도 2

【색인어】

전계방출디스플레이

【명세서】**【발명의 명칭】**

일체형 3극구조 전계방출디스플레이 및 그 제조 방법{Field emission display having integrated triode structure and method for manufacturing the same}

【도면의 간단한 설명】

도 1은 종래의 전형적인 FED의 구조의 일예를 보여준다.

도 2는 본 발명의 일체형 3극구조 FED의 일 구현예를 보여준다.

도 3a 내지 3f는 본 발명의 일체형 3극구조 FED를 제조하는 방법의 일예를 보여준다.

도 4a는 본 발명의 일 실시예에 따라 형성된 알루미나충의 웰 (well) 패턴을 보여주는 사진이다.

도 4b는 본 발명의 일 실시예에 따라 형성된 웰의 단면을 보여주는 사진이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6> 본 발명은 전계방출디스플레이 (Field emission display : FED) 에 관한 것이다.
- <7> FED는 강한 전기장에 의한 터널링 (tunneling) 효과에 의해 금속, 반도체 등의 표면으로부터 진공으로 방출되는 냉전자를 형광체에 충돌시킴으로써 빛을 발광시키는 방식의 디스플레이이다.

- <8> FED는, 음극선관 (cathode ray tube : CRT) 과 같이 전자빔 (electron beam)에 의하여 형광체를 발광시키므로, 풍부한 색상 표현 (full color), 풍부한 명암 표현 (full gray scale), 고휘도, 짧은 응답 시간, 광시야각, 얕은 동작 온도 및 습도 범위 등과 같은 CRT의 장점을 보유할 뿐만아니라, 얇고 가벼우며 전자파 방출이 거의 없는 평판디스플레이 (flat panel display : FPD) 형태로 구현될 수 있다는 장점을 가지고 있다.
- <9> FED는 일반적인 화상표시장치로서 뿐만아니라, 형광표시관 (vacuum fluorescent display), 형광램프, 백색광원, 액정디스플레이 (liquid crystal display : LCD)의 백라이트 (back light) 등으로서도 적용될 수 있다.
- <10> FED의 구조의 전형적인 예는 도 1과 같다.
- <11> 기판(1) 상에 전기전도성 금속으로 된 캐소드(2)가 형성되고 그 위에 비정질 실리콘(a-Si) 등으로 된 저항층(3)이 형성된다. 저항층(3) 위에는 저항층(3)의 표면이 그 바닥에 노출되는 웰(4a)을 갖는 전기절연성 물질로 된 게이트 절연층(4)이 형성된다. 웰(4a)의 바닥에는 저항층(3) 상에 위치하는 에미터(5)가 위치한다. 한편, 게이트 절연층(4)의 위에서는 웰(4a)에 대응하는 게이트(6a)가 형성된 게이트 전극(6)이 형성된다. 기판(1), 캐소드(2), 저항층(3), 웰(4a)을 갖는 게이트 절연층(4), 에미터(5) 및 게이트 전극(6)을 포괄하여 배면패널이라 부른다.
- <12> 게이트 전극(6)의 상방에는 소정거리를 유지하며, 투명전극인 애노드(7)가 위치한다. 애노드(7)는 기판(1)과 함께 밀폐된 진공공간을 형성하는 전면판(8)의 내면에 형성된다. 애노드(7)의 내면 상에 또는 이에 인접하여 형광체층(미도시)이 형성된다. 그 내면에 형광체를 갖는 애노드(7) 및 전면판(8)을 포괄하여 전면패널이라 부른다.

- <13> 배면패널과 전면패널은 스페이서(미도시) 등에 의해 일정한 거리를 유지하며, 그 가장자리는 실링에 의해 밀폐된다. 배면패널과 전면패널 사이에는 진공갭이 형성된다.
- <14> FED의 동작원리는 다음과 같다. 다양한 방식의 매트릭스어드레싱 (matrix addressing)에 의하여, 게이트 전극(6)과 캐소드(2) 사이에 전압을 인가한다. 게이트 전극(6)과 캐소드(2)에 전압이 걸리면, 터널링효과에 의하여 에미터(5)로부터 전자가 방출된다. 상기 전자는 애노드(7) 전압에 의하여 가속되어 애노드(7)의 내면에 위치하는 형광체를 타격한다. 타격된 형광체는 빛을 발광한다.
- <15> 터널링효과에 의한 에미터로부터의 전자 방출을 용이하게 하기 위해서는, 에미터의 첨단부와 게이트(6a) 사이의 거리가 작아야 한다. 이러한 이유로, 웰의 직경은 작을수록 좋으며, 약 0.5 내지 약 $2 \mu\text{m}$, 더욱 바람직하게는 $1 \mu\text{m}$ 이하의 직경을 갖는 웰을 형성하기 위한 노력이 진행되고 있다. 예를 들면, 대한민국 공개특허공보 특2002-0041665 호에는 양극산화공정을 이용하여 미세한 직경을 갖는 웰을 형성하는 방법이 개시되어 있다.
- <16> FED에 있어서, 배면패널과 전면패널의 간격이 클 수록, 캐소드와 애노드 사이의 간격이 벌어지게 된다. 그에 따라, 에미터에서 방출된 전자가 곧장 애노드로 향하도록 하기 위해서는, 캐소드와 애노드 사이에 걸리는 전압을 크게 증가시켜야 한다. 전압을 증가시키기 위해서는, FED 구동회로에 사용되는 소자의 용량이 커져야 하며, 이는 FED 제조 비용의 상승으로 이어진다. 또한, FED의 작동전압이 상승하면, FED의 소비 전력도 증가하게 된다.
- <17> 종래의 전형적인 FED에 있어서, 배면패널과 전면패널은 각각 별도의 공정에서 제조된 후, 스페이서에 의하여 일정 간격을 유지한 채 조립된다. 그러나, 당업자라면, 스페

이서를 설치하고 상부 패널과 배면패널을 조립하는 패키징 (packaging) 공정이 매우 번거로운 공정이라는 것을 이해할 것이다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명에서는, 복잡한 패키징 공정을 거치지 않고 제조될 수 있으며, 더욱 감소된 웰의 직경과 더욱 감소된 캐소드와 애노드 사이의 간격을 구비할 수 있는, 일체형 3극 구조 FED를 제공한다.

<19> 본 발명에서는, 상기 일체형 3극 구조 FED의 제조 방법을 제공한다.

【발명의 구성 및 작용】

<20> 본 발명의 일체형 3극구조 FED (field emission display) 는, 기판; 상기 기판 위에 위치하는 캐소드층; 상기 캐소드층 위에 위치하며, 규칙적인 패턴으로 배열된 다수의 미세홀을 갖는 게이트 절연층; 상기 게이트 절연층 위에 위치하며, 상기 게이트 절연층의 미세홀 패턴과 실질적으로 일치하는 패턴으로 배열된 다수의 미세홀을 갖는 게이트 전극층; 상기 게이트 전극층 위에 위치하며, 상기 게이트 절연층의 미세홀 패턴과 실질적으로 일치하는 패턴으로 배열된 다수의 미세홀을 갖는 알루미나층; 상기 게이트 절연층의 미세홀, 상기 게이트 전극층의 미세홀 및 상기 알루미나층의 미세홀에 의하여 형성되는 웰 내에 위치하며, 상기 캐소드층에 부착되어 있는 에미터; 상기 알루미나층 위에 위치하는 형광체층; 및 상기 형광체층 위에 위치하는 애노드층을 포함한다.

<21> 본 발명의 일체형 3극구조 FED는 상기 캐소드층과 상기 게이트절연층 사이에 위치하는 저항층을 더 포함할 수 있으며, 이 경우, 상기 에미터는 상기 저항층 위에 부착된다.

- <22> 도 2는 본 발명의 일 구현예에 의한 FED의 대략적인 구조를 나타내고 있다.
- <23> 기판(110) 위에 캐소드층(120)이 위치한다. 캐소드층(12) 위에는 저항층(130)이 위치한다. 저항층(130) 위에는 게이트 절연층(140)이 위치한다. 게이트 절연층(140) 위에는 게이트 전극층(160)이 위치한다. 게이트 전극층(160) 위에는 알루미나층(170)이 위치한다. 알루미나층(170) 위에는 형광체층(180)이 위치한다. 형광체층(180) 위에는 애노드층(190)이 위치한다.
- <24> '일체형 3극구조'라는 용어의 의미는, 전면패널과 배면패널 사이에 스페이서에 의하여 형성되는 연속된 진공갭이 존재하는 종래의 FED의 구조와 대비하여, 알루미나층(170)을 매개체로 하여 전면패널과 배면패널이 한 몸체를 형성한다는 본 발명의 특징적인 구조를 가르키는 것이다.
- <25> 캐소드층(120)과 게이트 전극층(160)은 매트릭스 어드레싱을 구현하기 위하여 스트라이프 형태로 형성될 수 있다. 캐소드층의 스트라이프와 게이트 전극층의 스트라이프는 서로 직교하도록 배치될 수 있다. 애노드층(190)은 FED의 전면적을 덮는 박막형태로 형성될 수 있다. FED가 LCD의 백라이트 (back light) 용으로 적용되는 경우에는, 매트릭스 어드레싱이 구현될 필요가 없으므로, 캐소드층(120)과 게이트 전극층(160)은 스프레이트 형태가 아닌 FED의 전면적을 덮는 박막형태로 형성될 수 있다. 캐소드층(120), 저항층(130), 게이트 전극층(160)은 기타 다양한 형태의 회로 패턴을 가질 수 있다.
- <26> 게이트 절연층(140), 게이트 전극층(160) 및 알루미나층(170)에는 상기 3층을 관통하는 미세홀이 다수 형성되어 있다. 게이트 절연층의 홀 패턴, 게이트 전극층의 홀 패턴 및 알루미나층의 홀 패턴은 서로 실질적으로 일치하며, 그에 따라 상기 각 층의 미세홀은 상기 3개의 층을 관통하는 단일채널을 형성한다. 게이트 절연층의 미세홀의 직경, 게

이트 전극층의 미세홀의 직경 및 알루미나층의 미세홀의 직경은 서로 실질적으로 같거나 다를 수 있다. 상기 3개의 층을 관통하는 단일채널을 형성하는 상기 3개의 층의 미세홀은 웨尔(200)을 형성한다.

<27> 상기 웨爾(200)의 직경은 에미터의 첨단부와 게이트 전극층의 간격을 결정한다. 따라서 웨爾의 직경은 게이트 전극층에 걸리는 작동전압의 요구치를 결정한다. 역으로, 게이트 전극층에 걸리는 작동전압의 희망치에 따라 웨爾의 직경을 결정할 수도 있다.

<28> 예를 들면, 상기 웨爾의 직경은 수 μm 이하일 수 있다. 상기 직경의 하한은, 에미터의 실현 가능한 최소 디멘션에 따라 더욱 작은 값을 가질 수도 있다. 더욱 바람직하게는, 상기 웨爾의 직경은 1.0 μm 이하이다. 더더욱 바람직하게는, 상기 웨爾의 직경은 약 4nm 내지 약 300nm 이다. 이러한 미세한 직경의 웨爾을 구현함으로써, 게이트 전극층에 걸리는 작동전압을 더욱 감소시킬 수 있다.

<29> 이러한 미세크기의 웨爾을 대면적에 걸쳐서 균일하게 형성시키기 위해서는, 양극산화 공정을 포함한 식각방법, 또는 일반적인 사진식각법 (photolithography) 등이 이용될 수 있다.

<30> 에미터(150)는 웨爾(200)의 내부에 배치되며, 저항층(130)에 부착되어 있다. 에미터(150)의 높이는, 에미터(150)의 첨단부가 게이트 전극층(160)에 가능한 한 가깝게 위치되도록 조절된다. 에미터(150)는, 예를 들면, 원뿔모양의 마이크로팁 또는 탄소나노튜브 등일 수 있다. 저항층은(130)은 에미터(150)에 흐르는 전류의 균일도를 향상시키는 역할을 한다. 저항층은(130)은 생략될 수도 있다. 저항층이 생략되는 경우에, 에미터는 캐소드층에 부착된다.

- <31> 알루미나층(170)은 전기절연성을 가지고 있으며, 에미터(150)와 애노드(190) 사이에 적절한 간격이 유지되도록 하면서, 전면패널과 배면패널을 일체화시키는 매개체의 역할을 한다. 또한, 알루미나층(170)으로 인하여, 각각의 웰(200)은 분리된 방전공간을 형성하게 된다. 그리하여, 에미터(150)에서 방출된 전자는 해당 웰(200)의 직 상부에 위치하는 형광체 만을 타격한다.
- <32> 종래의 FED에 있어서, 배면패널과 전면패널은 군데 군데 설치된 기둥 모양의 스페이서에 의해 그 간격이 유지되므로, 배면패널과 전면패널 사이에는 연속된 진공의 갭이 형성된다. 이러한 경우에 있어서, 상기 스페이서를 설치하는 공정 자체가 상당히 번거로워지며, 또한, 에미터에서 방출된 전자가 해당 화소의 형광체가 아닌 인접화소의 형광체를 타격할 우려도 있다.
- <33> 본 발명의 FED에 채용된 알루미나층(170)은, 종래의 FED에서 발생하는 상기와 같은 문제점을 일거에 해결한다.
- <34> 애노드 작동전압 측면을 고려할 때 알루미나층(170)의 두께는 가능한 한 얇게 하는 것이 좋다. 그러나, 알루미나층(170)의 두께가 너무 얕으면, 에미터(150)로부터의 전자방출을 야기시킴에 있어서, 애노드층(190)에 걸린 전압에 의한 전기장과 게이트 전극층(160)에 걸린 전압에 의한 전기장이 경합할 수 있다. 만약, 애노드층(190)에 걸린 전압에 의하여 에미터(150)로부터의 전자방출이 야기된다면, FED의 오동작이 발생할 수 있다. 따라서, 알루미나층(170)은, 애노드층(190)에 인가되는 전압과 게이트 전극층(160)에 인가되는 전압의 설계치 및 웰(200)의 직경 등을 고려하여, 가능한한 최소의 두께를 갖는 것이 바람직하다. 예를 들면, 알루미나층(170)의 두께는 약 100 nm 내지 약 10 μm 정도로 할 수 있다.

- <35> 알루미나층(170) 위에는 형광체층(180)이 위치한다. 형광체층(180)은 임의의 단색 형광체를 포함하거나, 또는 임의의 2종 이상의 형광체를 포함할 수 있다. 본 발명의 FED 가 컬러화상표시장치로서 적용될 경우에, 형광체층(180)은, 적색형광체, 녹색형광체 및 청색형광체를 포함하고, 이들 형광체는 화소를 형성하기 위한 규칙적인 패턴으로 배열되며, 상기 형광체층(180)은 각 화소의 경계를 명확히 하는 블랙매트릭스를 더 포함할 수도 있다.
- <36> 형광체층(180) 위에 위치하는 애노드층(190)은, 형광체층(180)의 전면적을 덮을 수 있으며, 각각의 웰(200)이 진공상태를 유지할 수 있도록 하는 밀폐 부재로서의 기능을 겸할 수 있다. 즉, 애노드층은 상기 웰에 의하여 형성된 방전공간을 밀폐할 수 있다. 애노드층(190)은, 형광체층(180)에서 발광된 빛이 잘 투과할 수 있도록, 투명한 전극 재료로 이루어지는 것이 더욱 바람직하다.
- <37> 본 발명의 FED는 애노드층(190) 위에 위치하는 전면판(미도시)을 더 포함할 수 있다. 전면판은 애노드층(190)의 밀폐 기능을 더욱 보강하는 역할을 하며, 애노드층(190)이 외부에 노출되는 것을 방지한다.
- <38> 전면판을 더 포함하는 구현예에 있어서, 애노드층(190)은 전면판의 일면에 부착될 수 있으며, 형광체층(180)은 전면판에 부착된 애노드층(190) 위에 부착될 수 있다. 이 경우에는 애노드층의 밀폐기능이 반드시 요구되지 않는다. 또한 애노드층은 다양한 형태의 회로 패턴을 가질 수도 있다. 형광체층 및 애노드층이 부착된 전면판은 알루미나층(170) 위에 놓이고, FED의 주변부는 밀봉된다. 이때, 알루미나층(170)과 형광체층(180)은 서로 접촉한다.

<39> 본 발명에 있어서, 기판(110), 캐소드층(120), 저항층(130), 게이트 절연층(140), 게이트 전극층(160), 에미터(150), 형광체층(180), 애노드층(190) 및 전면판(미도시)의 재질, 모양, 디멘션은 특별히 한정되지 않으며, FED에 사용될 수 있는 모든, 재질, 모양, 디멘션이 사용될 수 있다.

<40> 또한, 본 발명에서는 앞에서 설명한 일체형 3극구조 FED를 제조하는 방법의 일예를 제공한다. 본 발명의 일체형 3극구조 FED 제조 방법은, (a) 기판 위에 캐소드층, 게이트 절연층, 게이트 전극층, 알루미늄층을 순차적으로 형성시키는 단계; (b) 상기 알루미늄층을 양극산화하여, 규칙적인 배열 패턴을 갖는 미세홀 및 상기 미세홀 하부에 잔류하는 장벽층을 갖는 알루미나층으로 전환시키는 단계; (c) 상기 알루미나층의 미세홀의 깊이를 상기 캐소드층의 표면까지 연장시키는 단계; (d) 상기 미세홀 내에서 상기 캐소드층에 부착되는 에미터를 형성하는 단계; (e) 상기 알루미나층 위에 형광체층을 형성하는 단계; (f) 진공분위기에서, 상기 형광체층 위에 애노드층을 형성하는 단계를 포함한다.

<41> 상기 (a)단계는 상기 캐소드층 위에 저항층을 형성하는 단계를 더 포함할 수 있으며, 이러한 경우에 (c)단계에서 미세홀의 깊이는 상기 저항층의 표면까지 연장되고, (d) 단계에서 상기 에미터는 상기 저항층에 부착된다.

<42> 이하에서는, 도 3a 내지 도3f를 참조하여 본 발명의 일체형 3극구조 FED를 제조하는 방법의 예를 상세히 설명한다.

<43> 먼저 도 3a를 참조한다. 기판(111) 위에, 캐소드층 재료를, 예를 들면, 스퍼터링법, 진공증착법, 또는 도금법을 이용하여 부착한다. 예를 들면, 기판의 재료로서는 부도체, 반도체 등이 사용될 수 있다. 부도체의 구체적인 예를 들면, 유리, 고분자 재료 등이 있다. 반도체의 구체적인 예를 들면, 실리콘 웨이퍼 등이 있다. 캐소드층의

재료로서는, 예를 들면, 전기전도성 금속 재료, 전기전도성 금속산화물 재료, 전기전도성 금속질화물 재료, 전기전도성 금속황화물 재료, 전기전도성 고분자 재료 등이 단독 또는 조합으로 사용될 수 있다. 전기전도성 금속 재료의 구체적인 예를 들면, 금, 텉스텐, 크롬, 니오븀, 알루미늄, 티타늄, 또는 이들의 합금 등이 있다. 전기전도성 금속산화물의 구체적인 예를 들면, TiO_2 , Nb_2O_5 등이 있다. 전기전도성 금속질화물의 구체적인 예를 들면, GaN 등이 있다. 전기전도성 금속황화물의 구체적인 예를 들면, ZnS, CdS 등이 있다. 전기전도성 고분자 재료의 구체적인 예를 들면, 폴리아미드, 폴리아닐린 등이 있다.

<44> 이렇게 형성된 캐소드층(121) 위에, 예를 들면, 저압화학기상증착법 또는 반응성스퍼터링법을 이용하여, 저항층(131)을 형성한다. 저항층의 형성은 생략될 수도 있다. 저항층의 재료로서는, 예를 들면, 인(P)이 도핑(doping)된 비정질실리콘, 알루미나 등이 사용될 수 있다.

<45> 이렇게 형성된 저항층(131) 위에 (저항층이 생략된 경우에는 캐소드층 위에), 예를 들면, 저압화학기상증착법 또는 반응성스퍼터링법을 이용하여, 게이트 절연층(141)을 형성한다. 게이트 절연층의 재료로서는, 예를 들면, 전기절연성 금속산화물 등이 사용될 수 있다. 전기절연성 금속산화물의 구체적인 예로서는, 실리콘옥사이드 (SiO_2), $SiCOH$, 알루미나 등이 있다.

<46> 이렇게 형성된 게이트 절연층(141) 위에, 예를 들면, 스퍼터링법, 진공증착법, 또는 도금법을 이용하여, 게이트 전극층(161)을 형성한다. 게이트 전극층의 재료로서는, 예를 들면, 전기전도성 금속 재료, 전기전도성 금속산화물 재료, 전기전도성 금속질화물 재료, 전기전도성 금속황화물 재료, 전기전도성 고분자 재료 등이 단독 또는 조합으로

사용될 수 있다. 전기전도성 금속 재료의 구체적인 예를 들면, 금, 텉스텐, 크롬, 니오븀, 알루미늄, 티타늄, 또는 이들의 합금 등이 있다. 전기전도성 금속산화물의 구체적인 예를 들면, TiO_2 , Nb_2O_5 등이 있다. 전기전도성 금속질화물의 구체적인 예를 들면, GaN 등이 있다. 전기전도성 금속황화물의 구체적인 예를 들면, ZnS, CdS 등이 있다. 전기전도성 고분자 재료의 구체적인 예를 들면, 폴리이미드, 폴리아닐린 등이 있다.

<47> 이렇게 형성된 게이트 전극층(161) 위에, 예를 들면, 스퍼터링법, 진공증착법, 또는 도금법을 이용하여, 알루미늄층(171)을 형성한다.

<48> 알루미늄층(171)을 알루미나층으로 전환시키기 위해 다음과 같은 양극산화공정을 이용한다. 먼저 알루미늄층의 표면의 거칠기를 제거하기 위하여 전해연마를 수행한다. 그 다음, 인산, 옥살산, 황산, 술폰산 또는 크롬산 등의 수용액 중에서 알루미늄층(171)을 양극으로 설정한 후 약 1 내지 약 200V의 직류전압을 인가함으로써, 알루미늄층(171)을 알루미나층으로 전환시킨다. 알루미늄층이 알루미나층으로 전환되는 정도는 양극산화공정의 시간에 비례한다. 구체적인 예를 들면, 15 °C, 40 V, 0.3 M 옥살산수용액의 조건에서 양극산화공정을 수행한 경우, 알루미나층으로 전환되는 두께는 10 분당 약 1 μm 정도이었다.

<49> 알루미늄층이 알루미나층으로 전환된 후에도, 계속하여 전압을 인가하면, 도 3b와 같이, 알루미나층(171A)에는, 규칙적인 배열을 갖는 수 많은 나노미터 수준의 직경을 갖는 미세홀(171H)이 형성되며, 또한, 알루미나(171A)층의 하부에는 배리어층(171B)이 남게된다.

<50> 양극산화법에 의하여 알루미나층에 형성되는 미세홀의 패턴은 육각형 모양의 셀로 이루어진 별집 모양을 가질 수 있다 (도 4a, 도 4b 참조). 미세홀의 직경과 단위면적당

형성되는 미세홀의 갯수는 인가전압, 전해질의 종류, 전해질의 농도, 전해질의 온도 등과 같은 양극산화공정의 조건에 따라 조절될 수 있다. 구체적인 예를 들면, 인가전압 25 V, 반응온도 10°C, 0.3 M 황산수용액에서 양극산화를 할 경우 형성되는 미세홀의 직경은 약 20 nm 정도이고, 160 V, 0 °C, 0.3 M 인산수용액에서 양극산화를 할 경우에 형성되는 미세홀의 직경은 약 300 nm 정도이다. 단위면적당 형성되는 미세홀의 갯수는 통상적으로 $10^8\sim10^{11}$ 개/cm² 정도의 수준을 가질 수 있고, 이 수치는 인가전압에 따라 달라질 수 있다. 양극산화법을 통해 형성시킬 수 있는 미세홀의 직경은 약 4 nm 내지 약 300 nm 정도이다. 미세홀의 직경은 단위면적당 형성되는 미세홀의 갯수의 변화없이 인산이나 수산화나트륨 등을 이용한 화학적인 후처리를 통해서도 조절 가능하며, 미세홀 사이의 간격 및 배리어층 (??의 두께인지요??) 은 양극산화시 가해주는 전압에 비례한다. 구체적인 예를 들면, 15 °C, 0.3 M 옥살산수용액의 조건에서 양극산화공정을 수행한 경우, 인가전압을 10 V 상승시키면 미세홀 사이의 간격은 약 27 nm 정도 증가하였다. 이러한 양극산화법을 이용함으로써 알루미나층에 형성되는 미세홀의 직경을 1μm 이하로 조절하는 것이 매우 용이해진다.

- <51> 양극산화공정을 사용함으로써, 종래의 FED 제조 공정에 사용되는, 웰 패턴을 지정하기 위한 감광층의 형성과정이 생략된다. 양극산화공정은, 종래의 감광층에 의한 웰 패턴 지정 방법에 비하여, 대면적에 걸쳐 더욱 향상된 해상도의 더욱 미세한 웰 패턴을 더욱 용이하게 형성하는 것을 가능케 한다.
- <52> 그 다음에, 미세홀(171H)의 깊이를 저항층(131)의 표면까지 연장시키기 위하여 식각공정을 수행한다. 저항층이 생략된 구현예에서는, 미세홀(171H)의 깊이를

캐소드충(121)의 표면까지 연장시킨다. 식각공정으로서는, 예를 들면, 이온밀링법, 전식식각법, 습식식각법, 양극산화법 등이 사용될수 있다. 더욱 구체적인 예를 들면, CF_4 와 O_2 의 혼합가스를 이용한 반응성이온식각법 (reactive ion etching) 등이 사용될 수 있다. 반응성이온식각법으로 미세홀(171H)의 아래에 있는, 배리어충(171B), 게이트 전극충(161) 및 게이트 절연충(141)의 영역을 식각함으로써, 도 3C와 같이, 에미터를 위치시키기 위한 웰(200)을 형성한다. 결국, 게이트 절연충, 게이트 전극충 및 알루미나충에 형성된 훌은 단일채널을 형성하게 된다.

<53> 게이트 금속충 또는 알루미나충을 선택적으로 녹이는 화학물질을 이용하여, 게이트 금속충 또는 알루미나충을 선택적으로 에칭하는 경우에, 상기 각 충의 미세홀의 직경은 각 충마다 달라질 수도 있다.

<54> 알루미나충의 전체적인 표면이 식각되는 식각방법을 사용하는 경우, 원하는 두께보다 더 두껍게 알루미나충을 형성하는 것이 바람직하다.

<55> 그 다음, 도 3D와 같이, 웰(200) 내에 위치하며, 저항충의 표면에 부착되는 에미터(150)를 형성하는 과정을 수행한다. 에미터의 재료로서는, 예를 들면, 금속 재료, 반도체 재료, 탄소 재료 등이 사용될 수 있다. 금속재료의 구체적인 예를 들면, 금, 백금, 니켈, 몰리브덴, 텉스텐, 탄탈륨, 크롬, 티타늄, 코발트, 세슘, 바륨, 하프늄, 니오븀, 철, 류비듐, 또는 이들의 합금 등이 사용될 수 있다. 반도체 재료의 구체적인 예를 들면, 갈륨니트라이드(GaN), 티타늄옥사이드(TiO_2), 카드뮴설파이드(CdS) 등이 있다. 탄소 재료의 구체적인 예를 들면, 탄소나노섬유, 탄소나노튜브, 탄소나노입자, 또는 비정질탄소 등이 있다.

- <56> 금속성분의 에미터를 형성하기 위한 방법의 일예는 다음과 같다. 예를 들면, 금속 황산염, 금속 질산염, 금속 염화물 등과 같은 금속전구체의 용액에 직류, 교류 또는 펄스 전압을 인가하여, 해당 금속성분의 입자가 웰내에서 성장하도록 한다. 이때, 성장되는 금속 에미터의 높이는 가해주는 전류의 크기, 전류를 인가하는 시간에 따라 달라진다. 에미터를 구성하는 금속은, 더욱 바람직하게는, 내열성이 좋은 탄탈륨, 크롬, 몰리브덴, 코발트, 니켈, 티타늄 및 이들의 합금 중에서 선택될 수 있다.
- <57> 탄소나노튜브로 된 에미터를 형성하기 위한 방법의 예는 다음과 같다. 먼저, 탄소나노튜브를 성장시키기 위한 촉매금속을 웰내의 저항층 표면에 부착시킨다. 촉매금속을 저항층 표면에 부착시키기 위하여, 예를 들면, 앞에서 설명한 금속성분의 에미터 형성방법이 이용될 수 있다. 그 다음 탄소나노튜브를 구성하는 탄소를 공급한다. 저항층 표면에 탄소를 공급하는 방법으로서는, 예를 들면, 탄화수소, 일산화탄소 및 수소를 포함하는 혼합가스를 약 200 내지 약 1000°C의 온도에서 열분해하거나, 상기 혼합가스를 플라즈마분해하는 방법 등이 있다. 또는 미리 합성된 탄소나노튜브를 시올화 (thiolization) 하여 은(Ag) 또는 금(Au)과 결합시키는 방법이 사용될 수도 있다. 또는, 미리 합성된 탄소나노튜브를 전기영동 (Electrophoresis)을 통해 저항층 표면에 부착시킬 수도 있다.
- <58> 저항층이 생략된 경우에는 에미터는 캐소드층 표면에 형성되며, 앞에서 설명한 방법이 적용될 수 있다.
- <59> 각각의 웰 내에 하나의 에미터를 형성할 수 있을 뿐만아니라, 웰의 직경과 에미터의 크기에 따라, 각각의 웰 내에 하나 이상의 에미터를 형성할 수도 있다.
- <60> 에미터의 형성이 완료된 후에는, 도 3e와 같이, 알루미나층(171A) 위에 형광체층(181)을 형성한다. 형광체층의 형성에는, 예를 들면, 전자빔증착, 열증착, 스퍼터링법,

저압화학기상증착법, 졸-겔법, 전기도금법, 무전해도금법 등이 이용될 수 있다. 패턴을 갖는 형광체층을 형성하는 경우에는, 프린팅법이 이용될 수도 있다. 프린팅법을 사용하는 경우에, 형광체 입자의 크기는 웨의 직경보다 큰 것이 바람직하다. 형광체층의 완성을 위하여 형광체의 소성과정을 거칠 수도 있다. 금속계통의 형광체는 전자빔 증착법 등을 이용하여 경사증착될 수 있으며, 세라믹계통의 형광체는 스퍼터링법을 이용할 수도 있다. 또는, 이미 형광체층이 형성되어 있는 전면패널을 진공 패키징 하는 방법도 이용할 수 있다.

<61> 형광체층에 사용되는 형광체로서는, 인가하는 구동 전압, 전류의 크기 및 발광효율을 고려하여, 고전압 형광체와 저전압 형광체 중에서 선택될 수 있다.

<62> 완성된 형광체층(181) 위에, 도 2f와 같이, 애노드층(191)을 형성한다. 애노드층은, 웨에 의하여 형성된 방전공간이 전자 방출에 적합한 진공상태를 유지하도록 하기 위하여, 상기 방전공간을 밀폐하는 역할을 겸할 수도 있다. 상기 방전공간이 진공상태로 밀폐되도록 하기 위해, 애노드층의 형성은 진공분위기에서 이루어진다. 애노드층을 형성하는 구체적인 방법으로서는, 예를 들면, 전자빔증착법, 열증착법 등이 있다. 애노드층 재료로서는, 예를 들면, ITO(indium tin oxide) 와 같은 투명전극재료가 사용될 수 있다.

【발명의 효과】

<63> 본 발명의 FED는, 배면패널과 전면패널이 알루미나층에 의하여 지지되는 일체형 3극구조를 가짐으로써, 별도의 세퍼레이터를 구비할 필요가 없으므로 복잡한 패키징 공정이 생략될 수 있다.

<64> 양극산화공정을 포함하는 본 발명의 FED제조 방법은, 대면적에 걸쳐서 서브마이크로미터 수준의 직경을 갖는 웨를 용이하게 형성시킬 수 있으므로, 에미터의 첨단부와 게이트 전극층의 간격 및 에미터의 첨단부와 애노드의 간격을 더욱 감소시킬 수 있게 한다.

<65> 따라서, 본 발명의 FED 제조 방법과 본 발명의 FED를 적용하면, 대면적화가 더욱 용이하며, 작동전압이 더욱 감소될 수 있는 FED를 더욱 간단하게 얻을 수 있다.

【특허청구범위】**【청구항 1】**

기판;

상기 기판 위에 위치하는 캐소드층;

상기 캐소드층 위에 위치하며, 규칙적인 패턴으로 배열된 다수의 미세홀을 갖는 게

이트 절연층;

상기 게이트 절연층 위에 위치하며, 상기 게이트 절연층의 미세홀 패턴과 실질적

으로 일치하는 패턴으로 배열된 다수의 미세홀을 갖는 게이트 전극층;

상기 게이트 전극층 위에 위치하며, 상기 게이트 절연층의 미세홀 패턴과 실질적으

로 일치하는 패턴으로 배열된 다수의 미세홀을 갖는 알루미나층;

상기 게이트 절연층의 미세홀, 상기 게이트 전극층의 미세홀 및 상기 알루미나층

의 미세홀에 의하여 형성되는 웰 내에 위치하며, 상기 캐소드층에 부착되어 있는

에미터;

상기 알루미나층 위에 위치하는 형광체층; 및

상기 형광체층 위에 위치하는 애노드층을 포함하는 일체형 3극구조 FED.

【청구항 2】

제 1 항에 있어서, 상기 캐소드층과 상기 게이트 절연층 사이에 위치하는 저항층을 더 포함하며, 상기 에미터는 상기 저항층 위에 부착되는 것을 특징으로 하는 일체형 3극 구조 FED.

【청구항 3】

제 1 항에 있어서, 상기 웨일은 4 nm 내지 300 nm 의 직경을 갖는 것을 특징으로 하는 일체형 3극구조 FED.

【청구항 4】

제 1 항에 있어서, 상기 알루미나층의 두께는 100 nm 내지 10 μm인 것을 특징으로 하는 일체형 3극구조 FED.

【청구항 5】

제 1 항에 있어서, 상기 애노드층은 상기 웨일에 의하여 형성된 방전 공간을 밀폐하는 것을 특징으로 하는 일체형 3극구조 FED.

【청구항 6】

제 1 항에 있어서, 상기 애노드층 위에 위치하는 전면판을 더 포함하는 것을 특징으로 하는 일체형 3극구조 FED.

【청구항 7】

- (a) 기판 위에 캐소드층, 게이트 절연층, 게이트 전극층, 알루미늄층을 순차적으로 형성시키는 단계;
- (b) 상기 알루미늄층을 양극산화하여, 규칙적인 배열 패턴을 갖는 미세홀 및 상기 미세홀 하부에 잔류하는 장벽층을 갖는 알루미나층으로 전환시키는 단계;
- (c) 상기 알루미나층의 미세홀의 깊이를 상기 캐소드층의 표면까지 연장시키는 단계;
- (d) 상기 미세홀 내에서 상기 캐소드층에 부착되는 에미터를 형성하는 단계;

- (e) 상기 알루미나층 위에 형광체층을 형성하는 단계;
- (f) 진공분위기에서, 상기 형광체층 위에 애노드층을 형성하는 단계를 포함하는 일체형 3극구조 FED를 제조하는 방법.

【청구항 8】

제 7 항에 있어서, (a)단계는 상기 캐소드층 위에 저항층을 형성하는 단계를 더 포함하며, (c)단계에서 미세홀의 깊이는 상기 저항층의 표면까지 연장되고, (d)단계에서 상기 에미터는 상기 저항층에 부착되는 것을 특징으로 하는 방법.

【청구항 9】

제 7 항에 있어서, (b)단계의 상기 알루미늄층을 양극산화하는 단계는, 산성전해질의 수용액 중에서 상기 알루미늄층에 양의 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 방법.

【청구항 10】

제 9 항에 있어서, 상기 산성전해질은 옥살산, 황산, 슬포산, 인산 및 크롬산 중에서 선택되는 것을 특징으로 하는 방법.

【청구항 11】

제 7 항에 있어서, (b)단계에서 상기 알루미나층에 형성되는 미세홀의 직경은 4 nm 내지 300 nm인 것을 특징으로 하는 방법.

【청구항 12】

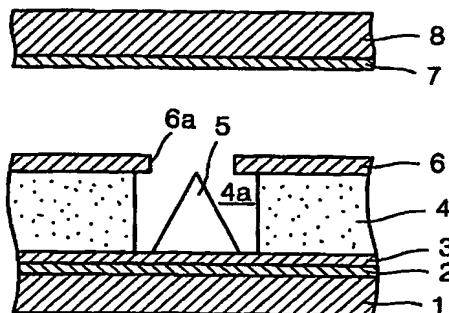
제 7 항에 있어서, 상기 (c)단계는, 이온밀링법, 건식식각법, 습식식각법 또는 양극산화법에 의해 수행되는 것을 특징으로 하는 방법.

【청구항 13】

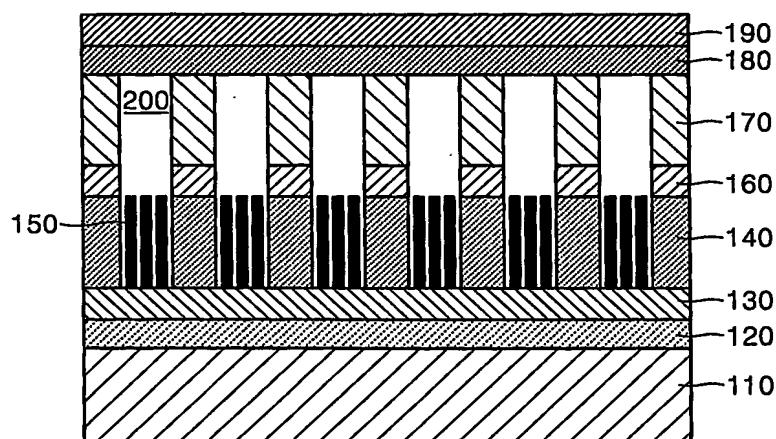
제 7 항에 있어서, 상기 (e)단계는 형광체를 전자빔증착, 열증착, 스퍼터링법, 저 압화학기상증착법, 콜-겔법, 전기도금법, 또는 무전해도금법으로 상기 알루미나층 위에 부착시키는 단계를 포함하는 것을 특징으로 하는 방법.

【도면】

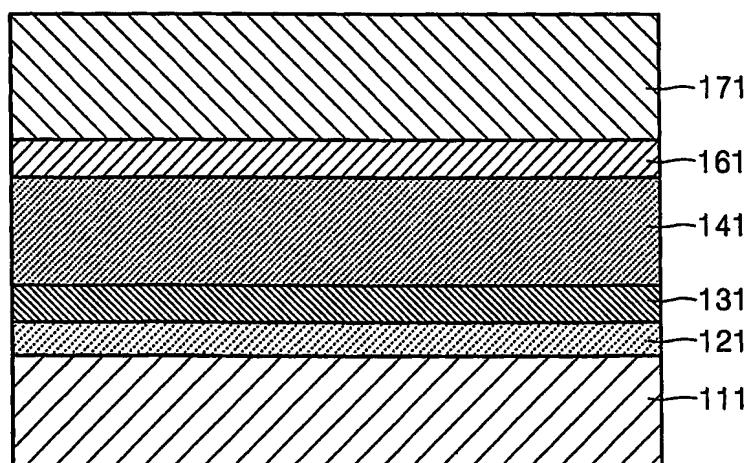
【도 1】



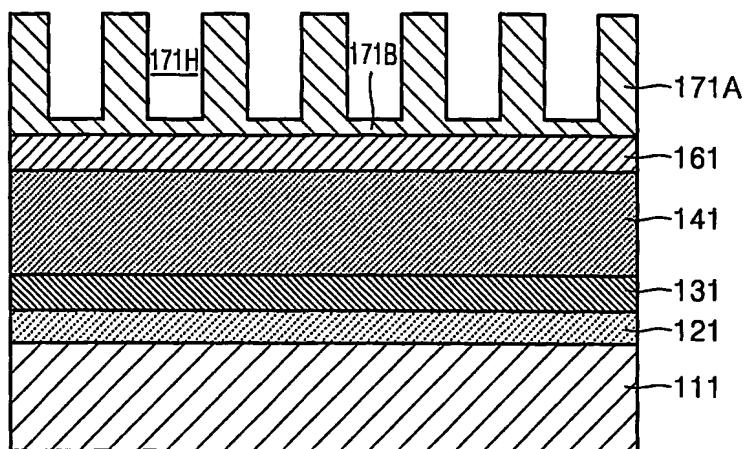
【도 2】



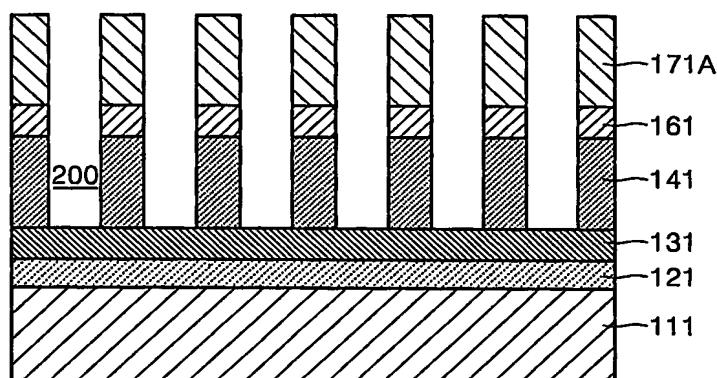
【도 3a】



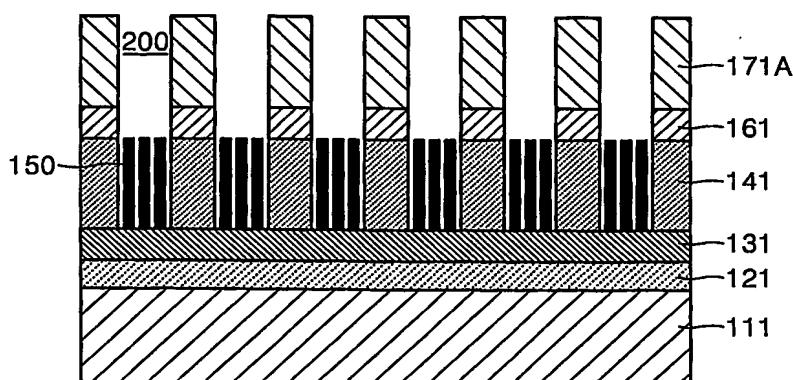
【도 3b】



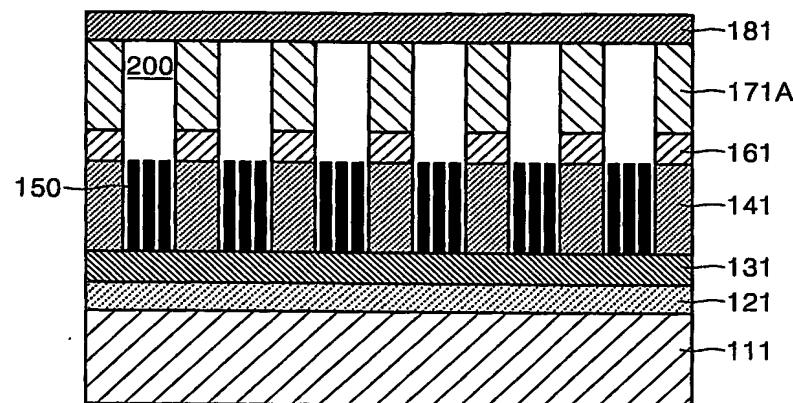
【도 3c】



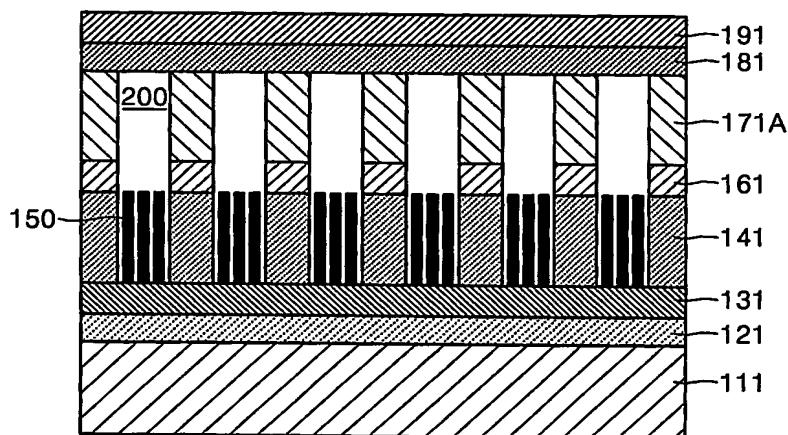
【도 3d】



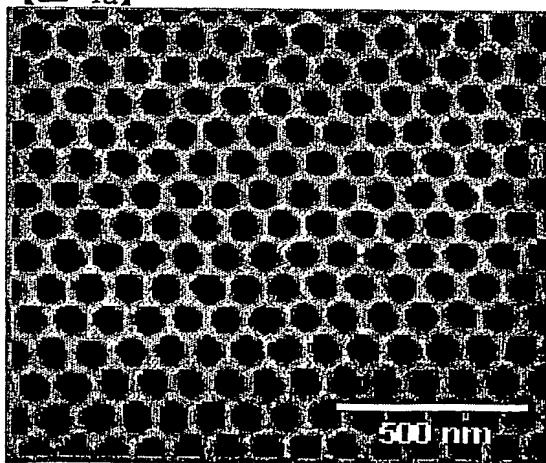
【도 3e】



【도 3f】



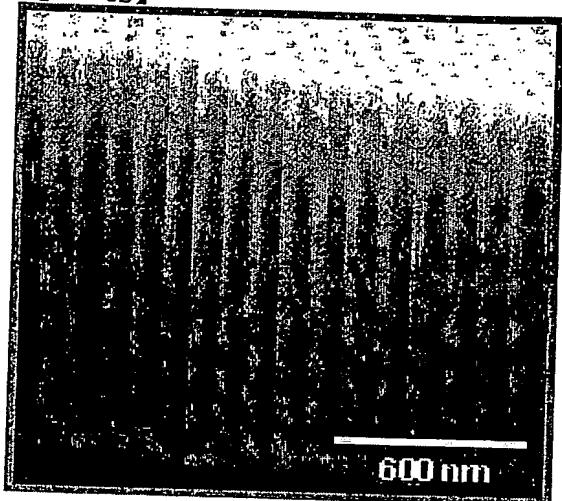
【도 4a】



1020030002716

출력 일자: 2003/5/9

【도 4b】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.